

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-265765

(43)Date of publication of application : 18.11.1987

(51)Int.Cl.

H01L 29/78
H01L 21/265

(21)Application number : 61-109239

(71)Applicant : CITIZEN WATCH CO. LTD

(22)Date of filing : 13.05.1986

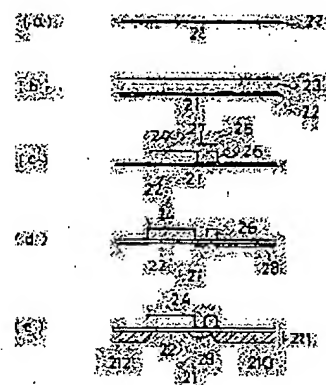
(72)Inventor : SHIMAZU KATSUHIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To form a low density diffusion layer structure MOS transistor in a self-matching manner by a method wherein the drain consisting of a low density diffusion layer and a high density diffusion layer is formed simultaneously by implanting impurities using a gate and a dummy pattern as a mask.

CONSTITUTION: After a gate oxide film 22 has been formed on a silicon substrate 21, poly silicon 23 is deposited thereon, and a gate 24 and a dummy pattern 26 are formed by performing an etching operation. Then, a layer 28 is formed by ion-implanting phosphorus, and a drain 210 consisting of a low density diffusion layer LDD 29 and a high density layer is formed by performing an annealing. As the impurities implanted from between the gate 24 and the dummy pattern 26 spreads over the lower part of the gate 24 and the dummy 26, the impurity density of the layer 28 is made lower than that of the region 210 whereon the drain consisting of the high density diffusion layer, and an LDD 29 can be formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 昭62-265765

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月18日

H 01 L 29/78
21/265

8422-5F
7738-5F

審査請求 未請求 発明の数 2 (全 3 頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑰ 特 願 昭61-109239

⑱ 出 願 昭61(1986)5月13日

⑯ 発 明 者 島 津 勝 広 所沢市大字下富字武野840 シチズン時計株式会社技術研究所内

⑰ 出 願 人 シチズン時計株式会社 東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) MOSトランジスタを構成要素とする半導体装置において、該トランジスタのゲート近傍の少なくともドレイン側に、少なくとも不純物注入のマスクとして働き得るパターン（以下ダミーパターンと呼ぶ）を有し、ゲートとダミーパターンの間は低濃度拡散層から成るドレインが形成され、該ゲートとダミーパターンの間以外のドレインは高濃度拡散層が形成されて成ることを特徴とする半導体装置。

(2) ダミーパターンの長さが高濃度拡散層から成るドレインの接合深さの2倍以下であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) ダミーパターンはゲートとの間隔が3 μ 以下であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) 半導体装置の製造方法に於て半導体基板に酸

化膜を形成する工程と該酸化膜上に電極材料を形成する工程と該電極材料をエッチングして電極とダミーパターンを形成する工程と不純物注入する工程とアニール工程とよりなりゲートとダミーパターン間に低濃度拡散層を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOSトランジスタを構成要素とする半導体集積回路に関するものである。

〔従来の技術〕

MOSトランジスタの微細化に伴いゲート近傍のドレイン部分に電界集中が生じるため、この部分の逆方向耐圧の低下ならびにホットキャリアによるゲート酸化膜中へのキャリア注入が起こり、半導体集積回路の信頼性が低下することは周知である。この対策としてゲート近傍においては低濃度拡散層（LDD）から成り、他の部分においては通常の高濃度拡散層から成るドレインを設けて電界集中を緩和することは周知である。

〔発明が解決しようとする問題点〕

しかしながら従来の方法では、LDDの形成にはゲートをマスクとした自己整合な不純物注入が可能であるにしても、ゲートから離れた高濃度拡散層から成るドレイン部の形成には新たなマスクが必要となることや、それが自己整合でないため高精度なマスク合わせを必要とするなどの問題点があった。

本発明の目的は、これらの問題点を解決するため、新たなマスクを導入することなしに自己整合な不純物注入によりLDDならびに高濃度拡散層から成るドレインを同時に形成するような半導体集積回路及びその製造方法を提供することである。
〔問題点を解決するための手段〕

本発明においては、MOSトランジスタのゲートの少なくともドレイン側の近傍に少なくとも不純物注入のマスクとして働き得るダミーパターンを有すること、ならびに該ゲートと該ダミーパターンをマスクとして不純物注入することにより、LDDならびに高濃度拡散層から成るドレインが

イン14が離れてしまいドレインとして働かなくなるので本発明の範囲からは除く。ゲートとダミーパターンの間隔15は、不純物注入の条件にもよるが、概ね $3\mu m$ 以下が有効である。

以下、NチャネルMOSトランジスタにおける本発明LDDトランジスタの製造工程を第2図に基づいて説明する。第2図(a)の工程でP型不純物濃度 $1.0^{18}atoms/cm^3$ 程度のシリコン基板21を酸化しゲート酸化膜22を形成する。第2図(b)の工程でゲート材料であるポリシリコン23を堆積させる。第2図(c)の工程でリソグラフィとポリシリコンのエッチングによりゲート24と長さ25が $0.5\mu m$ のダミーパターン26を形成する。このときゲート24とダミーパターン26の間隔27は $0.5\mu m$ とする。第2図(d)の工程でリンをエネルギー $50keV$ 、ドーズ量 $3 \times 10^{15}atoms/cm^2$ でイオン注入し、リンをイオン注入した層28を形成する。第2図(e)の工程で $950^\circ C$ 、30分のアニールによりLDD29と高濃度拡散層から成るドレイン210が形成される。この時の高濃度

同時に形成されることが特徴である。

〔実施例〕

以下本発明の実施例を図面に基づき説明する。

第1図は本発明の実施例の断面図で11はゲート、12はダミーパターン、14は高濃度拡散層から成るドレイン、16はLDD、110はソース、111は基板、19はゲート酸化膜である。

ゲート11とダミーパターン12の間15から注入された不純物は、ゲートとダミーパターンの下部へも回り込むため高濃度拡散層からなるドレインが形成される領域13よりも不純物濃度が薄くなりLDD16が形成される。本発明は、ゲートとダミーパターンの間15のような微小領域から注入された不純物拡散層が、高濃度拡散層からなるドレインが形成される領域13のような広い領域に注入された場合より低濃度になることを利用したものである。ダミーパターンの長さ17は、高濃度拡散層から成るドレイン14の接合深さ18の概ね2倍以下である。これ以上の長さにおいては、LDD16と高濃度拡散層からなるドレ

拡散層の接合深さ211は $0.5\mu m$ となる。工程(c)のダミーパターンの長さ25はこの値の2倍以下とした。

〔発明の効果〕

以上の説明で明らかなように、本発明によりLDD構造MOSトランジスタを自己整合にて形成することが可能であり、その効果は甚大である。

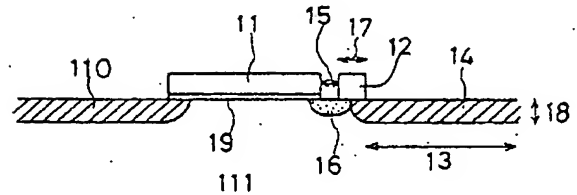
4. 図面の簡単な説明

第1図は本発明のLDDトランジスタの断面図、第2図(a)～(e)は本発明の製造方法を示す工程図である。

11、24……ゲート、12、26……ダミーパターン、13……高濃度拡散層から成るドレインが形成される領域、14、210……高濃度拡散層から成るドレイン、15、27……ゲートとダミーパターンの間隔、16、29……LDD、17、25……ダミーパターンの長さ、18、211……高濃度拡散層から成るドレインの接合深さ、19、22……ゲート酸化膜、110、212……ソース、111、21……

基板、23……ポリシリコン、28……リンを
イオン注入した層。

第1図

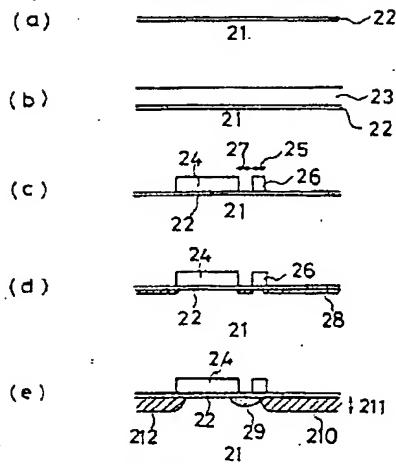


特許出願人 シチズン時計株式会社



- 11. ゲート
- 12. ダミーパターン
- 13. 高濃度ボロ拡散層から成るドレインが形成される領域
- 14. 高濃度ボロ拡散層から成るドレイン
- 15. ゲートとダミーパターンの間隔
- 16. LDD
- 17. ダミーパターンの長さ
- 18. 高濃度ボロ拡散層から成るドレインの接合深さ
- 19. ゲート酸化膜
- 110. ソース
- 111. 基板

第2図



- 21. 基板
- 22. ゲート酸化膜
- 23. ポリシリコン
- 24. ゲート
- 25. ダミーパターンの長さ
- 26. ダミーパターン
- 27. ゲートとダミーパターンの間隔
- 28. リンとイオン注入した層
- 29. LDD
- 210. 高濃度ボロ拡散層から成るドレイン
- 211. 高濃度ボロ拡散層から成るドレインの接合深さ
- 212. ソース